

CLOCK CHANGEABLE CIRCUIT OF SWITCH

Patent number: KR9001119
Publication date: 1990-02-27
Inventor: CHUN WOO-JIN (KR)
Applicant: SAMSUNG ELECTRONICS CO LTD (KR)
Classification:
- international: G06F1/08; G06F1/08; (IPC1-7): G06F1/08
- european:
Application number: KR19870009010 19870818
Priority number(s): KR19870009010 19870818

Report a data error here

Abstract of KR9001119

The clock changing circuit for selecting the desired clock from two kinds of clock with a switch comprises a clock switching circuit (40) for varying the output level of a flip-flop (F4) with a switch (SW), an enable signal generator (30) for providing edge detection signal when the output signal of (40) is varied, a control signal generator (20) comprising flip-flops (F1-3), AND gates (G1-3), inverters (I3, I7), and RC circuit (R6, C4), and a clock generators (10) for providing the desired clock selected from two frequency generators (11,12) by the AND gate (G2) and flip-flop (F3).

Data supplied from the *esp@cenet* database - Worldwide

BEST AVAILABLE COPY

4-1

이하 첨부된 도면에 의하여 본 발명을 상세히 설명한다. 제1도는 본 발명의 회로도로서 클럭발생부(10)와, 제어신호발생부(20)와, 인에이블신호 발생부(30)와, 클럭스위칭부(40)의 블록으로 구분된다. 클럭 발생부(10)는 주파수 발생기(11, 12)와 클럭발생기(13)와 인버터(1, 1₁)와 저항(R₁)과 콘덴서(C₁)의 다이오우드(D₁)에 대응하는 것으로, 클럭발생기(13)는 8284A로서 제어입력단자(F/\overline{C})가 하이레벨이면 입력단자(EF1)로 입력되는 24MHz의 클럭이 3분주되어 클럭단자(CLK)로 출력되고, 제어입력단자(F/\overline{C})가 로우레벨이면 입력단자(X)로 입력되는 14.3MHz의 클럭이 3분주되어 클럭단자(CLK)로 출력되며, 클럭동기단자(CSYNC)가 로우레벨로 되면 클럭단자로 클럭신호를 출력하고 하이레벨로 되면 클럭발생기(13) 내부의 3분주 회로가 리셋되어 클럭단자로 클럭신호를 출력하지 않게되며, 리셋 입력단자(RESET)에는 전원으로부터 저항(R₂)과 콘덴서(C₂)와 다이오우드(D₂)에 의해 발생하는 신호가 인버터(1, 1₁)로 연결된 버퍼를 통해 입력되어진다. 클럭 스위칭부(40)는 스위치(SW)와 플립플롭(F₁) 및 저항(R₁, R₂)에 대응하는 것으로, 접지된 스위치(SW)가 고속단자(H)와 접속단자(N)에 스위칭됨으로써 플립플롭(F₁)의 프리셋단자(PR)와 클리어단자(CLR)에 로우레벨신호를 인가하여 출력단자(Q)를 통하여 출력신호를 제어신호 발생부(20)와 인에이블신호 발생부(30)로 동시에 인가하도록 구성한 것으로써, 플립플롭(F₁)은 스위치(SW)의 접환시 발생하는 채터링을 방지하여줌과 동시에 출력단자(Q)로 클럭 스위칭신호를 발생하여 제어신호 발생부(20)와 인에이블신호 발생부(30)로 인가하도록 연결된다.

인에이블신호 발생부(30)는 논리게이트(G₁-G₂)와 인버터(1, 1₁)와 저항(R₁, R₂) 및 콘덴서(C₁, C₂)에 대응하는 것으로, 낸드게이트(G₁)의 입력단에는 클럭스위칭부(40)의 출력신호와 상기한 클럭스위칭부(40)의 출력신호를 인버터(1₁)에서 반전하여 적분기(R₁, C₁)를 통과한 신호가 입력되도록 구성하여 상기한 클럭스위칭부(40)의 출력신호가 로우레벨에서 하이레벨로 변할 때 낸드게이트(G₁)로부터 일정한 펄스폭의 로우레벨 신호를 출력하도록 하고, 또한 낸드게이트(G₂)의 입력단에는 상기한 낸드게이트(G₁)와 동일하게 구성하여 입력신호에 있어서는 클럭스위칭부(40)의 출력신호를 인버터(1₁)에 의해 반전하여 인가함으로써 클럭스위칭부(40)의 출력신호가 하이레벨에서 로우레벨로 변할 때 낸드게이트(G₂)의 출력단으로 일정한 로우레벨 펄스폭을 갖는 신호를 출력하도록 한다. 따라서 낸드게이트(G₂)은 클럭스위칭부(40)의 출력신호가 변할 때 일정한 펄스폭을 갖는 로우레벨 신호를 출력하게 되며, 상기한 펄스폭은 저항과 콘덴서(R₁와 C₁, R₂와 C₂)로 구성되는 적분기의 시정수에 의해 결정된다.

제어신호 발생부(40)는 플립플롭(F₁-F₂)과 논리게이트(G₁-G₂)와 인버터(1, 1₁)와 저항(R₁)과 콘덴서(C₁)에 대응하는 것으로, 메모리 독출신호(MEMR)는 플립플롭(F₁)의 클럭단자로 인가되도록 연결하고 인에이블신호 발생부(30)의 출력신호를 플립플롭(F₂)의 입력단자(D)로 인가하도록 연결하여 플립플롭의 출력신호(Q)를 앤드게이트(G₁)에서 클럭발생기(13)의 클럭신호와 논리곱하여 앤드게이트(G₂)의 출력신호를 클럭발생기(13)의 클럭동기단자(CSYNC)와, 플립플롭(F₁)의 클럭단자와, 낸드게이트(G₁)의 입력단자로 인가하도록 연결한다. 플립플롭(F₁)과 입력단자(D)에는 클럭스위칭부(40)의 출력신호가 인가되고 플립플롭(F₂)의 출력신호는 클럭발생기(13)의 제어입력단자(F/\overline{C})로 인가되도록 연결하고, 낸드게이트(G₂)의 출력신호는 플립플롭(F₁)의 클럭단자로 인가되도록 연결하여 이때 낸드게이트 입력단에 구성된 적분기(C₁, R₁)의 시정수는 상기한 인에이블신호 발생부(30)에서의 적분기의 시정수보다 짧은 지연시간을 갖도록 구성된다. 또한 플립플롭(F₁)은 인에이블신호 발생부(30)의 출력신호에 의해 클리어되고, 플립플롭(F₂)은 앤드게이트(G₁)를

통한 플립플롭(F₁)의 반전출력단자(\overline{Q})신호에 의해 클리어되며, 플립플롭(F₁)은 인버터(1₁)를 통한 클럭발생기(13)의 리셋 출력단자(RESET)신호에 의해 클리어되도록 각각 연결 구성된다.

상기한 구성을 갖는 본 발명회로의 전반적인 동작을 첨부된 제2도의 타이밍 차트를 참조하여 설명한다.

우선 스위치(SW)가 고속단자(H)로 연결되어 클럭발생기(13)의 클럭단자로 고속의 클럭이 출력되고 있을 때 스위치(SW)를 접속단자(N)로 접환하면, 플립플롭(F₁)의 출력신호는 하이레벨에서 로우레벨로 변하게 되어 인에이블신호 발생부(30)로 인가된다. 따라서 낸드게이트(G₁)의 출력이 하이레벨을 유지하고 낸드게이트(G₂)의 출력은 하이레벨을 유지하다가 일정한 로우레벨 펄스폭을 갖는 신호를 출력하여, 상기 두 신호는 앤드게이트(G₁)에서 논리곱되어 앤드게이트(G₂)의 출력단자에 로우레벨 펄스폭을 갖는 신호(1)를 출력시킨다. 상기한 출력신호(1)는 플립플롭(F₁)의 클리어단자와 플립플롭(F₂)의 입력단자(D)로 인가되고, 이때부터 플립플롭(F₂)은 클럭단자로 인가되는 메모리 독출신호(MEMR)를 기다리다가 메모리 독출신호(MEMR)의 상승에 취에서 입력단자에 가해져있던 하이레벨 신호를 출력하게 된다. 상기한 플립플롭(F₂)의 출력신호(3)는 앤드게이트(G₂)에서 클럭발생기(13)의 클럭(CLK)신호와 논리곱되어 출력신호(4)를 플립플롭(F₁)의 클럭단자와, 클럭발생기(13)의 클럭동기단자(CSYNC)와, 낸드게이트(G₁)의 입력단자로 인가하도록 한다. 따라서, 클럭발생기(13)의 클럭동기단자(CSYNC)로 하이레벨 신호가 인가되어 클럭발생기(13) 내부의 클럭 3분주 회로가 리셋되어 클럭단자(CLK)로부터 출력신호가 출력되지 않도록 함과 동시에, 앤드게이트(G₂)의 출력신호(4)는 플립플롭(F₁)의 클럭단자로 인가되어 플립플롭(F₁)의 입력단자(D)에 입력되어 있던 로우

레벨 신호(6)를 플립플롭(F₁)의 출력단자를 통하여 제어입력단자(F/\overline{C})로 인가함으로써 클럭발생기(13)의 클럭단자(CLK)에는 입력단자(X)로 인가되는 14.3MHz의 주파수 신호가 3분주되어 출력된다. 또한 앤드게이트(G₂)의 출력신호(4)는 낸드게이트(G₁)의 입력단으로 인가되어 적분기(C₁, R₁)의 시정수에 발생하는 로우레벨의 낸드게이트(G₁) 출력신호(5)를 플립플롭(F₁)의 클럭단자로 인가함으로써 플립플롭(F₁)의 반전

출력단자(\overline{Q}) 신호(2)를 로우레벨로 만들어 앤드게이트(G_1)를 통하여 플립플롭(F_1)의 클리어단자로 인가하여, 앤드게이트(G_2)의 출력신호(4)를 로우레벨로하여 플럭발생기(13)의 클럭동기단자(CSYNC)로 인가함으

로써 플럭발생기(13) 내부의 3분주회로를 동작시킨다. 그러나 이때 제어입력단자(F/\overline{C})는 이미 하이레벨에서 로우레벨로 바뀌어진 상태이므로 입력주파수 신호는 입력단자(EF_1)로 들어오는 24MHz신호로부터 입력단자(X)로 들어오는 14.3MHz로 바뀌어 플럭발생기(13)의 클럭단자(CLK) 출력도 역시 8MHz에서 4.77MHz로 바뀌게 된다.

한편, 상기한 동작설명과 반대로 플럭스위칭부(40)의 스위치(SW)가 정속단자(N)로부터 고속단자(H)로 스위칭 될 때에도 본 발명 회로의 동작은 상기한 고속단자(H)로부터 정속단자(N)의 스위칭 동작과 동일한 과정으로 동작되어진다.

이상과 같은 본 발명 회로에 의하면 컴퓨터의 중앙처리장치에 있어서 고속과 정 속의 두가지 속도를 전환하여 사용할 수 있는 플럭 전환회로를 제공할 수 있다.

(57) 청구의 범위

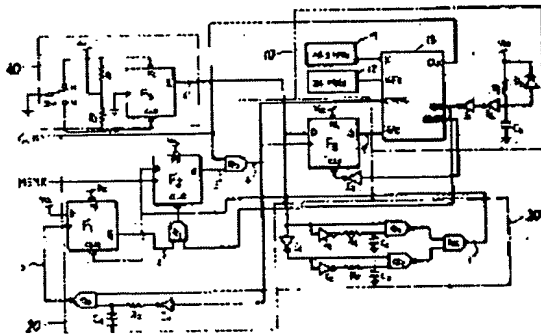
청구항 1

스위치의 절환에 의해 중앙처리장치의 클럭 속도를 전환하는 하드웨어적 클럭 전환회로에 있어서, 스위치(SW)의 절환에 의해 플립플롭(F_1)의 출력신호 레벨을 변화출력토록 구성된 플럭스위칭부(40)와, 상기한 플럭스위칭부(40)의 출력신호레벨이 변화할때의 에지검출신호를 출력하도록 인버터(I_1 - I_3)와 적분기(R_1 와 C_1 , R_2 와 C_2)와 논리게이트(G_1 - G_6)로 구성된 인에이بل신호 발생부(30)와, 상기한 인에이블신호 발생부(30)의 출력신호를 플립플롭(F_1)의 클리어(CL \overline{R})단자로 인가하고 동시에 플립플롭(F_1)의 입력단자(D)로 인가하여 메모리출신호(MEM \overline{R})를 플립플롭(F_1)의 클럭단자로 인가하여, 플립플롭(F_1)의 출력신호와 플럭발생기(13)의 클럭신호를 앤드게이트(G_2)에서 논리합하고, 앤드게이트(G_2)의 출력신호를 플럭발생기(13)의 클럭동기단자(CSYNC)와 앤드게이트(G_3)의 입력단과 플립플롭(F_2)의 클럭단자로 인가하여, 플립플롭(F_2)에서는 입력단자

(D)로 입력되는 플럭스위칭부(10)의 출력신호를 플럭발생기(13)의 제어입력단자(F/\overline{C})로 인가하고, 앤드게이트(G_4)는 인버터(I_2)와 입력단의 적분기(C_1 , R_2)에 의해 발생되는 출력신호를 플립플롭(F_1)의 클럭단자로 인가하여 플립플롭(F_1)의 반전 출력단자 신호가 앤드게이트(G_5)를 통하여 플립플롭(F_2)을 클리어시키도록 연결구성되는 제어신호 발생부(20)와, 상기한 제어신호 발생부(20)의 앤드게이트(G_5)와 플립플롭(F_2)의 출력신호에 의해 주파수 발생기(11, 12)로부터 입력되는 두 개의 주파수신호를 클럭발생기(13)의 클럭단자(CLK)로 출력하는 클럭발생부(10)로 이루어지는 것을 특징으로 하는 스위치 구동형 클럭 전환회로.

도면

도면 1



GB2

